

**SEMICONDUCTOR NON-VOLATILE MEMORY ELEMENT AND PREPARATION THEREOF**

Patent Number: JP6291330  
Publication date: 1994-10-18  
Inventor(s): TSUCHIYA TATSUO  
Applicant(s): CITIZEN WATCH CO LTD  
Requested Patent: ☐ JP6291330  
Application Number: JP19930097296 19930331  
Priority Number(s):  
IPC Classification: H01L29/788 ; H01L29/792 ; G11C16/02 ; H01L27/115  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To lower a barrier height for carrier injection from a semiconductor substrate to a silicon nitriding film to improve memory holding and write time by providing a tunnel silicon oxide film on a tunnel silicon nitride oxide film.

**CONSTITUTION:** This semiconductor non-volatile memory element consists of a gate insulating film, where a tunnel insulating film consisting of a tunnel silicon nitride oxide 12 and a tunnel silicon oxide film 13 provided on this tunnel silicon nitride oxide film 12 while allowing charge injection as a first insulating film, a silicon nitride film 14 as a second insulating film and a silicon oxide 15 as a third insulating film are laminated successively on the surface region of a semiconductor substrate 11, and a gate electrode 16 provide on this gate electrode. Memory holding can be improved by proving the tunnel silicon oxide film 13 on the tunnel silicon nitride oxide film 12 without damaging a characteristic where a write time of a semiconductor non-volatile memory element using the tunnel nitride oxide film for the tunnel insulating film is short.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-291330

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
G 1 1 C 16/02				
		7210-4M	H 0 1 L 29/ 78 3 7 1 27/ 10 4 3 4	
		審査請求 未請求 請求項の数2	F D (全 5 頁)	最終頁に続く

(21)出願番号 特願平5-97296

(22)出願日 平成5年(1993)3月31日

(71)出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72)発明者 土屋 達男

埼玉県所沢市大字下富字武野840番地

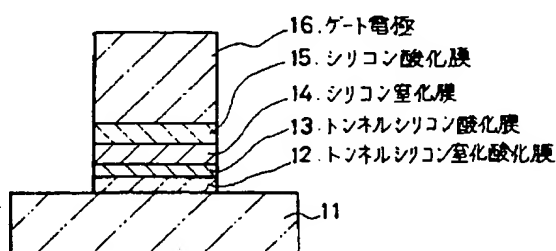
シチズン時計株式会社技術研究所内

(54)【発明の名称】 半導体不揮発性記憶素子とその製造方法

(57)【要約】

【構成】 半導体基板11の表面領域に、第1の絶縁膜として、トンネルシリコン窒化酸化膜12とこのトンネルシリコン窒化酸化膜上に設けたトンネルシリコン酸化膜13とからなる電荷注入可能なトンネル絶縁膜、第2の絶縁膜としてシリコン窒化膜14、第3の絶縁膜としてシリコン酸化膜15を順次積層したゲート絶縁膜とこのゲート絶縁膜上に設けたゲート電極16とからなる半導体不揮発性記憶素子とその製造方法。

【効果】 従来に比較して、書き込みデータの保持能力を低下することなく、書き込み時間を短くすることが可能となる。さらに、この発明の半導体不揮発性記憶素子の製造方法によれば、製造工程が簡略であることから製造工程における収率を増大することが可能となる。



## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板の表面領域に、第1の絶縁膜として電荷注入可能なトンネル絶縁膜、第2の絶縁膜としてシリコン窒化膜、第3の絶縁膜としてシリコン酸化膜を順次積層したゲート絶縁膜と、このゲート絶縁膜上に設けたゲート電極とからなる半導体不揮発性記憶素子にあって、トンネル絶縁膜はトンネルシリコン窒化酸化膜と、このトンネルシリコン窒化酸化膜上に設けたトンネルシリコン酸化膜とからなることを特徴とする半導体不揮発性記憶素子。

【請求項2】 一導電型の半導体基板の表面領域に、半導体基板を熱酸化してトンネルシリコン酸化膜を形成する工程と、トンネルシリコン酸化膜の下部を窒化して半導体基板上にトンネルシリコン窒化酸化膜を形成する工程と、トンネルシリコン酸化膜上に化学的気相成長法によってシリコン窒化膜を形成する工程と、シリコン窒化膜上にシリコン酸化膜を形成する工程と、シリコン酸化膜上に導電性のゲート電極材料を形成する工程と、ホトエッチングによりゲート電極を形成する工程とを備えることを特徴とする半導体不揮発性記憶素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は電氣的に書き換え可能な半導体不揮発性記憶素子とその製造方法とに関し、とくに半導体不揮発性記憶素子の記憶保持性および書き込み時間の改善に関するものである。

## 【0002】

【従来の技術】電氣的に書き換え可能な半導体不揮発性記憶素子としては、従来は、MNOS (Metal-Nitride-Oxide-Semiconductor) 型の半導体不揮発性記憶素子や、たとえば特開平2-103966号公報に記載されている、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 型の半導体不揮発性記憶素子が知られている。

【0003】このMONOS型の半導体不揮発性記憶素子は、MNOS型の半導体不揮発性記憶素子の第2層のゲート絶縁膜であるシリコン窒化膜の上に、ゲート電極からのキャリアの注入を防ぐのに十分なバリア高さを持つ第3層のゲート絶縁膜であるシリコン酸化膜を有する。

【0004】MONOS型の半導体不揮発性記憶素子のデータの書き込みは、ゲート電極に正電圧を印加することにより、負極性のキャリアである電子を、半導体基板から第1層のゲート絶縁膜であるトンネル絶縁膜を通してシリコン窒化膜中のキャリアを捕獲するトラップへ注入することにより行なう。

【0005】なお、シリコン窒化膜上にシリコン酸化膜を有するため、半導体不揮発性記憶素子を劣化させる正極性のキャリアである正孔のゲート電極からの注入を防

ぐことができ、MNOS型の半導体不揮発性記憶素子より書き込み可能回数を増大することができる。

【0006】また、半導体基板から注入したキャリアに対してシリコン酸化膜が障壁となるため、シリコン窒化膜の膜厚を薄くすることができ、書き込み電圧を低くすることができる。

【0007】従来のMONOS型の半導体不揮発性記憶素子のトンネル絶縁膜には、半導体基板の熱酸化により形成する酸化膜、すなわちトンネル酸化膜を用いる。トンネル酸化膜を用いることにより、データの書き込みのためにシリコン窒化膜中に蓄積したキャリアの放出を抑制することができ、記憶保持性を向上させることができる。

【0008】しかしながら、トンネル絶縁膜にトンネル酸化膜を用いると、記憶保持性が向上する反面、書き込み時間が長くなる欠点がある。これは、トンネル酸化膜は、シリコン窒化膜から半導体基板へのキャリア放出に対するバリア高さが高いが、逆に半導体基板からシリコン窒化膜へのキャリア注入に対するバリア高さも高くキャリアが注入しにくいいため、書き込みに長時間をかけなければシリコン窒化膜への十分なキャリアの注入ができないからである。

【0009】なお、記憶保持性とは、半導体不揮発性記憶素子の書き込みデータの保持能力であり、記憶保持性が向上すると書き込みデータの記憶寿命が長くなる。

【0010】半導体不揮発性記憶素子の書き込み時間を短縮する手段として、たとえば、特公昭63-57945号公報に記載されているように、トンネル絶縁膜にトンネル窒化酸化膜を用いることが知られている。

【0011】トンネル窒化酸化膜はトンネル酸化膜と比較して、半導体基板からシリコン窒化膜へのキャリア注入に対するバリア高さが低くキャリアの注入が容易なため、短時間の書き込みでもシリコン窒化膜への十分なキャリアの注入ができる。

## 【0012】

【発明が解決しようとする課題】従来のトンネル絶縁膜にトンネル酸化膜を用いたMONOS型の半導体不揮発性記憶素子は、記憶保持性に優れているが、書き込み時間が長い。

【0013】従来のトンネル絶縁膜にトンネル窒化酸化膜を用いた半導体不揮発性記憶素子は、書き込み時間が速い。しかし、シリコン窒化膜から半導体基板へのキャリア放出に対するバリア高さが低くキャリアの放出が容易なため、記憶保持性が劣る欠点を有している。

【0014】すなわち、従来の半導体不揮発性記憶素子では、高速書き込みと、記憶保持性の向上とを、ともに達成することは困難である。

【0015】この発明の目的は、かかる課題を除去し、書き込み時間が短く、さらに記憶保持性に優れた半導体不揮発性記憶素子の構造、およびその製造方法を提供す

るものである。

【0016】

【課題を解決するための手段】この発明では、上記の目的を達成するために次のような半導体不揮発性記憶素子の構造、およびその製造方法を採用する。

【0017】この発明の半導体不揮発性記憶素子は、半導体基板の表面領域に、第1の絶縁膜として、トンネルシリコン窒化酸化膜とこのトンネルシリコン窒化酸化膜上に設けたトンネルシリコン酸化膜とからなる電荷注入可能なトンネル絶縁膜、第2の絶縁膜としてシリコン窒化膜、第3の絶縁膜としてシリコン酸化膜を順次積層したゲート絶縁膜とこのゲート絶縁膜上に設けたゲート電極とからなる。

【0018】この発明の半導体不揮発性記憶素子の製造方法は、半導体基板の表面領域に、半導体基板を熱酸化してトンネルシリコン酸化膜を形成する工程と、トンネルシリコン酸化膜の下部を窒化して半導体基板上にトンネルシリコン窒化酸化膜を形成する工程と、トンネルシリコン酸化膜上に化学的気相成長法によりシリコン窒化膜を形成する工程と、シリコン窒化膜上にシリコン酸化膜を形成する工程と、シリコン酸化膜上に導電性のゲート電極材料を形成する工程と、ホトエッチングによりゲート電極を形成する工程とを備える。

【0019】

【作用】この発明における半導体不揮発性記憶素子は、トンネルシリコン窒化酸化膜上にトンネルシリコン酸化膜を設けている。このことにより、半導体基板からシリコン窒化膜へのキャリア注入に対するバリア高さが低くなり、かつシリコン窒化膜から半導体基板へのキャリア放出に対するバリア高さが高くなるため、記憶保持性および書き込み時間を改善できるようにしている。

【0020】

【実施例】以下図面を用いてこの発明の実施例を説明する。図1はこの発明の実施例における半導体不揮発性記憶素子の構造を示す断面図である。まずこの図1を用いて半導体不揮発性記憶素子の構造を説明する。

【0021】図1に示すように、この発明の半導体不揮発性記憶素子は半導体基板11の表面に、トンネルシリコン窒化酸化膜12、トンネルシリコン酸化膜13、シリコン窒化膜14、シリコン酸化膜15、およびゲート電極16をこの順で積層した構造である。

【0022】半導体不揮発性記憶素子の集積化は、この半導体不揮発性記憶素子と、アドレス選択用のMOS (Metal-Oxide-Semiconductor) 素子と、ソース電極と、ドレイン電極とからなるメモリセルを、複数個マトリクス状に配列することにより行なう。

【0023】次に、図2～図10を用いてこの発明における半導体不揮発性記憶素子の製造方法を説明する。図2～図10はこの発明の実施例における半導体不揮発性

記憶素子の製造方法を工程順に示す断面図である。

【0024】まず、図2に示すように、半導体不揮発性記憶素子の形成領域以外の半導体基板11の表面に、LOCOS法によりフィールド酸化膜17を形成する。半導体基板11は単結晶シリコン基板を用いる。

【0025】次に図3に示すように、温度950℃の酸素希釈酸素雰囲気中で半導体基板11を熱酸化することにより、トンネルシリコン酸化膜13を厚さ2nm～3nm形成する。

【0026】次に図4に示すように、温度1000℃のアンモニア雰囲気または酸素希釈アンモニア雰囲気中で、トンネルシリコン酸化膜13の下部を窒化することにより、半導体基板11上にトンネルシリコン窒化酸化膜12を厚さ1nm形成する。

【0027】なお、この窒化処理により、トンネルシリコン酸化膜13の膜厚は0.5nm減少する。したがって、トンネルシリコン酸化膜13は、この減少する膜厚分だけ見込んで厚く形成しておく。

【0028】なお、窒化処理する時間を長くするとトンネルシリコン酸化膜13が全て窒化されるため、データ書き込みでシリコン窒化膜14に蓄積したキャリアの放出が起こりやすくなり、記憶保持性が低下する。また、窒化する時間を短くしすぎるとトンネルシリコン酸化膜13の上部だけしか窒化されない。したがって、窒化する時間は10分～30分とする。

【0029】このように、この発明の半導体不揮発性記憶素子の製造方法によれば、窒化する時間を制御することにより容易にトンネルシリコン酸化膜13の下部にトンネルシリコン窒化酸化膜12を形成することができるため、製造工程が簡単となり製造工程の収率が增大する。さらに、トンネルシリコン酸化膜13とトンネルシリコン窒化酸化膜12との形成は、雰囲気ガスを変えることにより連続的に形成することができるため、製造工程を短縮することができる。

【0030】また、トンネルシリコン窒化酸化膜12は、酸素を含む化学組成である。窒化時間を長くすると、酸素を含まない化学組成のトンネルシリコン窒化酸化膜12を形成することができるが、前述のように、トンネルシリコン酸化膜13が全て窒化され記憶保持性が低下する。

【0031】次に図5に示すように、温度750℃で、反応ガスとしてアンモニアとジクロルシランとを用いた化学的気相成長法により、トンネルシリコン酸化膜13上にシリコン窒化膜14を厚さ8nm形成する。

【0032】次に図6に示すように、温度950℃の酸素雰囲気または水蒸気雰囲気中でシリコン窒化膜14を熱酸化することにより、シリコン窒化膜14上にシリコン酸化膜15を厚さ3nm～5nm形成する。

【0033】次に図7に示すように、温度600℃で、反応ガスとしてモノシランを用いた化学的気相成長法に

5

より、シリコン酸化膜15上に導電性のゲート電極材料18となるポリシリコン膜を形成する。

【0034】次に図8に示すように、ホットエッチング処理を行うことにより、ゲート電極材料18からなるゲート電極16、およびそれぞれのゲート絶縁膜を所定のパターンにエッチングする。

【0035】次に図9に示すように、半導体基板11と逆導電型の不純物イオンを注入拡散し、半導体不揮発性記憶素子の両側にソース領域19とドレイン領域20とを形成する。半導体基板11がN型シリコン基板の場合は、P型不純物イオンとしてボロンイオン、半導体基板11がP型シリコン基板の場合は、N型不純物イオンとしてリンイオンまたは砒素イオンを用いる。

【0036】次に図10に示すように、化学的気相成長法により層間絶縁膜21を形成し、ホットエッチング技術により所定の部分の層間絶縁膜21を除去してコンタクトホールを形成し、アルミニウムからなるソース電極22とドレイン電極23とをパターン形成して、それぞれソース領域19とドレイン領域20と接続する。

【0037】上記実施例より、この発明によれば、トンネルシリコン窒化酸化膜12上にトンネルシリコン酸化膜13を設けることにより、トンネル絶縁膜にトンネル窒化酸化膜を用いた半導体不揮発性記憶素子の書き込み時間が短い特徴を損ねることなく、記憶保持性を向上することができる。すなわち、半導体不揮発性記憶素子の高速書き込みと、記憶保持性の向上とを、ともに達成することができる。

【0038】なお上記実施例では、半導体基板として単結晶シリコン基板を用いた場合について説明したが、半導体基板として絶縁膜上のシリコン薄膜などの半導体薄膜を用いて実施しても、同様の効果があることは以上の説明から明かである。

【0039】

【発明の効果】以上の説明から明かなように、この発明

6

の半導体不揮発性記憶素子は従来に比較して、書き込みデータの保持能力を低下することなく、書き込み時間を短くすることが可能となる。さらに、この発明の半導体不揮発性記憶素子の製造方法によれば、製造工程が簡略であることから製造工程における収率を増大することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施例における半導体不揮発性素子の構成を示す断面図である。

10 【図2】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図3】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図4】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図5】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図6】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

20 【図7】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図8】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

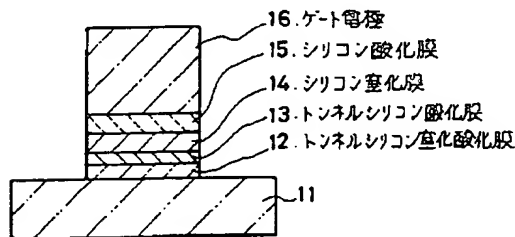
【図9】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

【図10】この発明の一実施例における半導体不揮発性記憶素子の製造方法を示す断面図である。

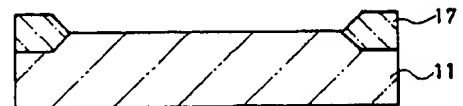
【符号の説明】

- 11 半導体基板
- 12 トンネルシリコン窒化酸化膜
- 13 トンネルシリコン酸化膜
- 14 シリコン窒化膜
- 15 シリコン酸化膜
- 16 ゲート電極

【図1】



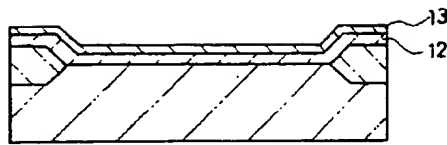
【図2】



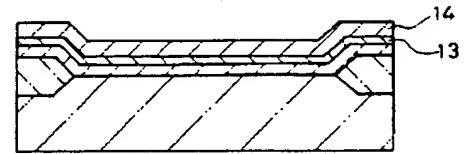
【図3】



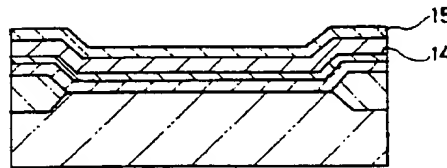
【図4】



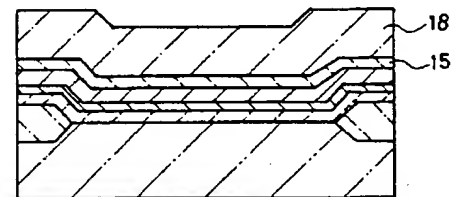
【図5】



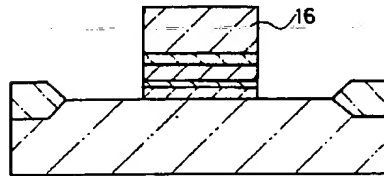
【図6】



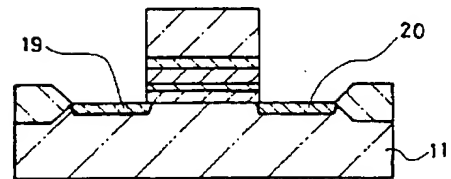
【図7】



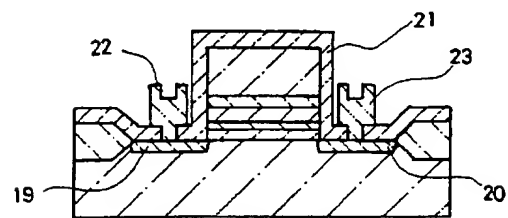
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.<sup>5</sup>

H 01 L 27/115

識別記号

庁内整理番号

F I

技術表示箇所